

2002-0110

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申 請 日：西元 2003 年 03 月 17 日
Application Date

申 請 案 號：092105779
Application No.

申 請 人：台灣積體電路製造股份有限公司
Applicant(s)

局 長
Director General

蔡 練 生

發文日期：西元 2004 年 1 月 12 日
Issue Date

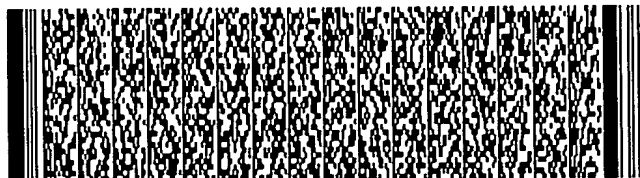
發文字號：
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	冠狀電容及其製造方法
	英 文	
二、 發明人 (共4人)	姓 名 (中文)	1. 林俊杰 2. 趙蘭璘 3. 林佳惠
	姓 名 (英文)	1. Chun-Chieh Lin 2. Lan-Lin Chao 3. Chia-Hui Lin
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中 文)	1. 台中市西區公益里6鄰向上北路284巷32號3樓 2. 台北市松山區民福里11鄰民權東路三段125巷6號6樓1 3. 新竹市光復路一段376巷327號5樓
	住居所 (英 文)	1. 2. 3.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 台灣積體電路製造股份有限公司
	名稱或 姓 名 (英文)	1. Taiwan Semiconductor Manufacturing Co., Ltd.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區園區三路121號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1.
	代表人 (中文)	1. 張忠謀
	代表人 (英文)	1. Chung-Mou Chang



0503_8058TWE(N1) : TSMC2002_0110 : Rita.prd

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共4人)	姓 名 (中 文)	4. 楊富量
	姓 名 (英 文)	4. Fu-Liang Yang
	國 籍 (中 英 文)	4. 中華民國 TW
	住居所 (中 文)	4. 新竹市大學路68號7樓之3
	住居所 (英 文)	4.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中 文)	
	代表人 (英 文)	



四、中文發明摘要 (發明名稱：冠狀電容及其製造方法)

一種冠狀電容(crown-type capacitor)及其製造方法，包括一半導體基底；複數個冠狀下電極，排列於半導體基底上；複數個絕緣支撐部，連接各下電極之間；且絕緣支撐部各自分離；一電容介電層，順應性地覆蓋於下電極結構所暴露出之表面；以及一上電極層，形成於介電層上。

五、(一)、本案代表圖為：第7圖

(二)、本案代表圖之元件代表符號簡單說明：

422~遮蔽層；

428~絕緣層；

430~下電極層。

六、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

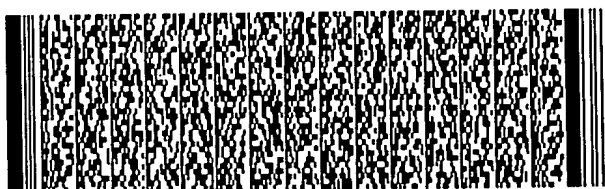
[發明所屬之技術領域]：

本發明係有關於半導體記憶元件的製造，且特別是有關於一種冠狀電容(crown-type capacitor)及其製造方法。

[先前技術]

動態隨機存取記憶體為一廣泛應用的積體電路元件，特別在現今的資訊電子產業中更有不可或缺的地位。隨著技術的演進，目前生產線上常見的DRAM記憶單元大多是由一電晶體T和一電容C所構成，如第1圖的電路示意圖所示。電晶體T的源極(source)係連接到一對應的位元線(bit line, BL)和汲極(drain)連接到一電容C的下電極(bottom electrode)，而閘極(gate)則連接到一對應的字元線(word line, WL)，電容C的上電極(top electrode)係連接到一固定電壓源(例如接地)，而在下電極和上電極間隔著一介電層。

電容C是用來儲存電子資訊的，其應具備足夠大的電容量，以避免資料的流失並減低充電更新(refresh)的頻率。可由兩個方向著手來增加電容C的電容量，一為減少介電層的厚度，一為增加下電極的表面積。在減少介電層的厚度方面，現今製造的電容均已使用極薄的介電層，然而其厚度並非無限制的縮小，當介電層的厚度小於50埃時，極可能因為直接載子隧穿(direct carrier tunneling)而產生過大的漏電流，影響元件的性質。因此



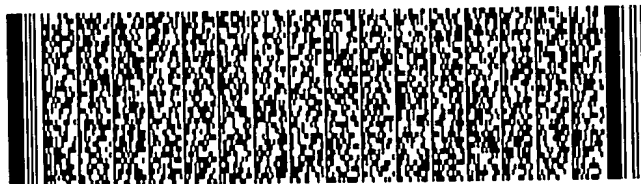
五、發明說明 (2)

目前許多研發都致力於增加下電極的表面積，藉以提升電容的電容量。

在傳統少於一百萬位元(1MB)的DRAM製程中，一般多利用二度空間的電容來儲存資料，亦即泛稱的平面型電容(planar-type capacitor)。然而，平面型電容需利用基底一相當大的面積來形成下電極C，才可提供足夠的電容量，所以並不適用於目前日益高度積集化之DRAM元件的製程要求。

通常，高度積集化的DRAM，例如具有大於16M位元的儲存容量者，需要利用三度空間的電容結構，例如凹槽型(trench type)或堆疊型(stack type)的電容記憶元件。而由於蝕刻凹槽來製作電容時會不可避免地產生晶格缺陷(defects)，造成漏電流的增加而影響元件性質，且隨著凹槽縱橫比(aspect ratio)的增加，其蝕刻速率將遞減，不僅增加製程的困難度，也影響了生產效率，因此凹槽型電容的製程在實際生產線上的應用有其困難度。相反的，堆疊型電容的製程並不會產生上述缺點，因此許多技術均係針對此一形式的記憶元件進行改良，以達到在元件尺寸縮小時仍可以確保提供足夠大之電容量之目的。

在各種堆疊型電容的記憶元件中，電極具有向上突出部分的冠狀電容(crown-type capacitor)，由於其內外側表面均可提供有效的電容面積，相當適合於製造高度積集化的元件，特別是大於64MB位元的記憶元件。但習知製造動態隨機存取記憶單元之冠狀電容的方法，步驟繁多，不



五、發明說明 (3)

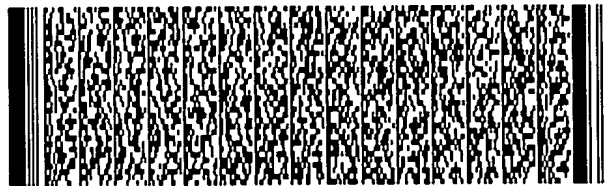
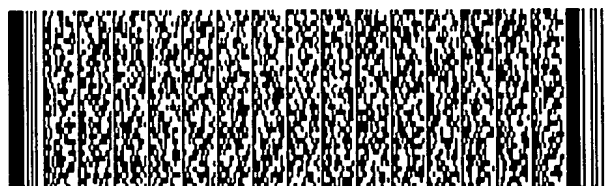
僅增加製程的複雜度，也所提高的電容量也不敷使用，因此影響生產效率。而一些改良製程雖可簡化步驟，但於製程條件控制上的要求也相對地比較嚴苛，所以並不利於生產線上的實施。

為了更清楚說明起見，請參見第 2A 圖至第 2F 圖，以說明一習知動態隨機存取記憶單元之冠狀電容的製造流程。如第 2A 圖所示，在一半導體基板 200 上沉積一絕緣層 228，其中在基板 200 上方可以形成任何所需的半導體元件，例如 MOS 電晶體、區域氧化層 (LOCOS)、淺溝槽隔離 (STI) 等，不過此處為了簡化圖式，僅以平整的基板 200 表示之。利用微影技術和蝕刻程序定義絕緣層 228，形成開口露出冠狀電容預定區域，結果如第 2B 圖所示。

之後，沈積一下電極層 230 來順應性地覆蓋絕緣層 228，並在下電極層 230 上形成一保護層 250 用以在後續蝕刻步驟中保護下電極層 230 之底部不被損壞，結果如第 2C 圖所示。接著施以一平坦化製程，移除下電極層 230 及保護層 250，只留下在下電極層 230 在絕緣層 228 之開口側壁及底部的部分，並暴露出絕緣層 228 之頂端表面，同時去除保護層 250 部分。結果如第 2D 圖所示。

接著請參見第 2E 圖，第二次蝕刻絕緣層 228 以移除下電極層 230 之間的絕緣層 228，使冠狀電容具有最大有效面積。

接著請參見第 2F 圖，在下電極層 230 的表面上依序形成一介電層 242 及上電極層 244，三者共同構成一電容元



五、發明說明 (4)

件，便完成習知之動態隨機存取記憶體記憶單元之冠狀電容。

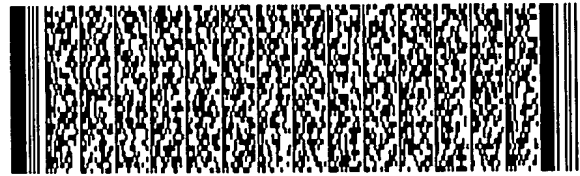
第3圖所示係第2E圖之上視圖，表示習知冠狀電容以彼此獨立方式排列。但是隨電容值需求增高，冠狀電容深寬比也越大，因而下電極容易在製造過程中，產生崩塌毀壞之現象；但若不對絕緣層228做第二次以微影蝕刻移除，如第2G圖所示，恐無法有效利用下電極層230面積以提高電容值；而若如某些習知方式，利用回蝕程序去除部分絕緣層228，如第2H圖所示，但容易造成絕緣層228無法均勻蝕刻，使得冠狀電容均一性不佳。

有鑑於此，本發明之目的在提供一種冠狀電容裝置，能有效利用冠狀電容下電極面積維持高電容值，且同時提供足夠支撐，防止下電極於製造過程中崩塌而造成良率降低。

[發明內容]

為達上述目的，本發明提出一種具冠狀電容的動態隨機存取記憶單元的裝置，其主要利用複數絕緣柱支撐部連接於冠狀電容下電極之間，防止冠狀電容於製造過程中之崩塌。

依照本發明之動態隨機存取記憶單元之冠狀電容的裝置，其適用於具有開關元件之半導體基底上製造電容，上述裝置包括：一半導體基底；複數個冠狀下電極，排列於半導體基底上；複數個絕緣支撐部，連接各下電極之間，



五、發明說明 (5)

且絕緣支撐部各自分離；一電容介電層，順應性地覆蓋於下電極結構所暴露出之表面；以及一上電極層，形成於介電層上。

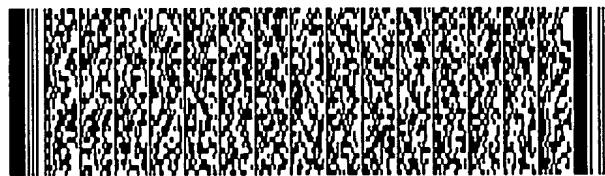
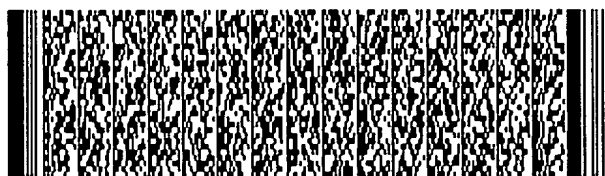
為了讓本發明之上述目的和特點更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，做詳細說明如下：

[實施方式]

實施例：

本發明所述之動態隨機存取記憶單元之電容器之製造方法可施行於一記憶體元件上，例如使用金屬氧化半導體場效電晶體(MOSFET)為開關元件之DRAM元件。

請參見第4A圖至第4F圖，以說明本發明之一動態隨機存取記憶單元之冠狀電容的製造流程。如第4A圖所示，於一半導體基底400，上形成一場氧化層402以界定出元件區(active area)。接著依序形成一閘氧化層404、一複晶矽層410、一矽化鎢層(WSi_x)412、一氧化矽層414及一氮氧化矽層416後，並定義圖案以形成一閘極(gate electrode)構造G。利用此閘極構造G當作罩幕，佈植雜質進入半導體基底400中，以形成淡摻雜源極和汲極區。之後於閘極構造G的側壁上以沈積和回蝕程序形成一閘極間隔物417，再以閘極構造G和閘極間隔物417當作罩幕，佈植較高濃度的雜質進入半導體基底400中以形成濃摻雜源極和汲極區，完成源極和汲極區408和406，至此形成一電



五、發明說明 (6)

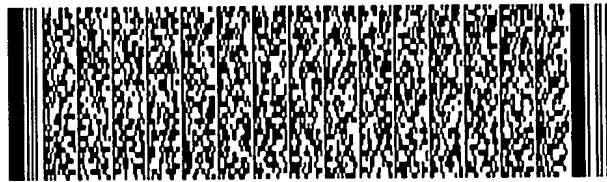
晶體元件。

接著，在上述電晶體元件表面上依序沈積一絕緣層418和一遮蔽層422。以微影技術和蝕刻程序在第一絕緣層418和一遮蔽層422中形成一接觸開口(contact opening)424，以露出源極區408當作接觸區。在遮蔽層422上和接觸開口424內填塞金屬插塞接點426，藉以和源極區408形成電性連接。之後在上述基底400上沈積另一絕緣層428，其中絕緣層428可以為旋塗式玻璃(SOG)、氧化矽或硼磷矽玻璃(BPSG)等。

接著，利用微影技術和蝕刻程序進行絕緣層428的第一次蝕刻，形成複數個開口露出冠狀電容預定區域，結果如第4B圖所示。

之後，沈積一下電極層430來順應性地覆蓋絕緣層428以及開口內，並在下電極層430上形成一保護層450並填充入前述開口內，用以在後續蝕刻步驟中保護下電極層430之底部不被損壞，結果如第4C圖所示，其中該下電極層430可為導電摻雜之複晶矽而保護層450可以為一光阻材料或絕緣材料。接著施以一平坦化製程，例如以化學機械研磨(CMP)或非等向性之離子反應蝕刻(RIE)等方式移除絕緣層428頂部之下電極層430及保護層450，只留下此下電極層430在絕緣層428的開口側壁及底部之部分，並暴露出絕緣層428之頂端表面，同時去除保護層450部分。結果如第4D圖所示。

接著請參見第4E圖，進行絕緣層428之第二次蝕刻，



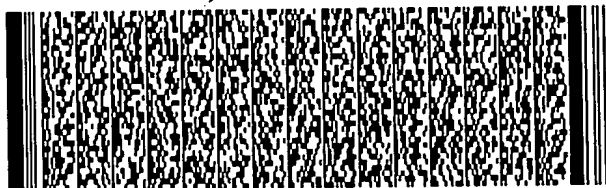
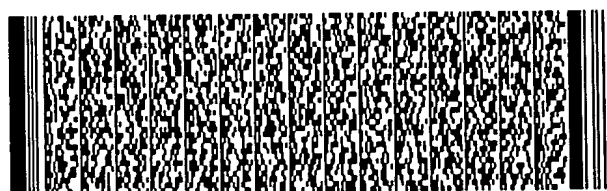
五、發明說明 (7)

定義絕緣支撐部之型樣及位置，留下的下電極層 430 形成冠狀下電極。

在此需特別說明的是，請先參閱第5圖係表示第4D圖之上視圖，在進行接下來移除絕緣層428的步驟時，採用如第6圖所示以正光阻PR界定絕緣層428之形樣，其中分別以第4E及4E'圖表示在(α)及(β)方向之移除絕緣層428的製程。請參照第7圖，表示在第4E圖中移除絕緣層428後之上視圖，其中各下電極430均有絕緣層428所形成之絕緣支撐部428'連接並支撐使其不易在接下來的製程中崩塌。

接著請參見第4F圖，在下電極430的表面上依序形成一電容介電層442及上電極層444，三者共同構成一電容元件，便完成本發明之動態隨機存取記憶體記憶單元之冠狀電容，其中電容介電層442可為厚度約為10~40nm，之氧化矽/氮化矽/氧化矽(ONO)、鈦鋯酸鉛(PZT; lead zirconate titanate)、鈦酸鋇鉍(SBT; strontium bismuth tantalate)、鈦酸鋇鉍(BaSrTiO_3 ; BST)、鈦酸鋇(SrTiO_3 ; ST)或其他具高介電係數之絕緣層所形成。上電極層444可為導電摻雜之複晶矽層。

由以上程序，本實施例所形成之冠狀電容之構造係在一半導體基底400上，形成有複數個冠狀下電極430排列；依第二次蝕刻絕緣層428時光組之型樣所形成複數個彼此分離之絕緣支撐部428'連接兩下電極之間；一電容介電層442，順應性地覆蓋於下電極430結構所暴露出之表面；以

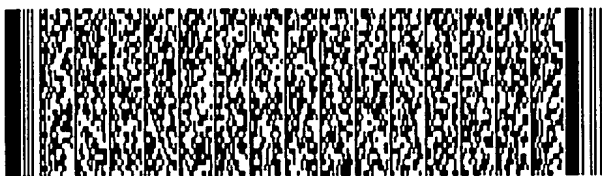


五、發明說明 (8)

及一上電極層440，形成於電容介電層442上。

同樣地，在另一實施例中若變更光阻形樣，亦可將保留絕緣層428之絕緣支撐部界定如第8圖之形樣，彼此分離之絕緣支撐部以小面積之接觸，同時連接四個下電極，如此可對下電極之面積做更有效之利用。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖表示一般DRAM中一記憶單元的電路示意圖；

第2A~2H圖均為剖面圖，繪示習知具冠狀電容及其製造流程；

第3圖係表示第2E圖之上視圖；

第4A~4F圖係表示本發明實施例之製造流程；

第4E'圖表示進行移除絕緣層程序在(β)方向剖面圖；

第5圖係表示第4D圖之上視圖；

第6圖係表示光阻界定絕緣層形樣；

第7圖係表示第4E圖之上視圖；

第8圖係表示本發明另一實施例上視圖。

[符號說明]

T~電晶體；

C~電容；

BL~位元線；

WL~字元線；

G~閘極；

PR~光阻

200、400~半導體基底；

402~場氧化層；

404~閘氧化層；

406~汲極；

408~源極；

410~複晶矽層；

412~矽化鎢層；

414~氧化矽層；

416~氮氧化矽層；

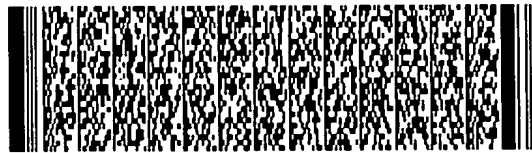
417~間隔物；

228、418、428~絕緣層；

422~遮蔽層；

424~接觸開口；

426~金屬插塞接點； 230、430~下電極層；



圖式簡單說明

242、442~介電層； 444~上電極層；
428'~絕緣支撐部； 450~保護層。



六、申請專利範圍

1. 一種冠狀電容(crown-type capacitor)，包括
一半導體基底；

複數個冠狀下電極，排列於該半導體基底上；

複數個絕緣支撐部，連接各下電極之間，且該等絕緣
支撐部各自分離；

一電容介電層，順應性地覆蓋於該等下電極結構所暴
露出之表面；以及

一上電極層，形成於該電容介電層上。

2. 如申請專利範圍第1項所述之冠狀電容，其中該半
導體基底上更具有電晶體。

3. 如申請專利範圍第1項所述之冠狀電容，其中該等
下電極之排列為方形陣列。

4. 如申請專利範圍第1項所述之冠狀電容，其中該下
電極層之材料係導電摻雜之複晶矽層。

5. 如申請專利範圍第1項所述之冠狀電容，其中該絕
緣支撐部之材料係旋塗式玻璃(SOG)、氧化矽或硼磷矽玻
璃(BPSG)。

6. 如申請專利範圍第1項所述之冠狀電容，其中該上
電極層係為導電摻雜之複晶矽層。

7. 如申請專利範圍第1項所述之冠狀電容，其中各該
絕緣支撐部連接2個冠狀電容下電極。

8. 如申請專利範圍第1項所述之冠狀電容，其中各該
絕緣支撐部連接4個冠狀電容下電極。

9. 一種冠狀電容(crown-type capacitor)製造方法，



六、申請專利範圍

包括下列步驟：

- a) 提供一半導體基板；
 - b) 沉積一絕緣層，於該半導體基板；
 - c) 第一次蝕刻該絕緣層，以形成複數個開口暴露出冠狀電容預定區域；
 - d) 沉積一下電極層，順應性地覆蓋於該絕緣層表面以及該等開口中；
 - e) 形成一保護層，於該下電極層表面且填入該等開口中；
 - f) 進行平坦化製程，以移除該等開口外之該保護層以及該下電極層，其中該下電極層形成複數個冠狀下電極；
 - g) 移除該等開口中殘餘之該保護層；
 - h) 第二次蝕刻該絕緣層，以形成複數個彼此分離的絕緣支撐部連接於前述該等冠狀下電極之間；
 - i) 沉積一電容介電層，順應性地覆蓋於該等下電極及該等絕緣支撐部所暴露出之表面；以及
 - j) 沉積一上電極層，於該電容介電層上。
10. 如申請專利範圍第9項所述之冠狀電容製造方法，其中該半導體基板包含電晶體。
11. 如申請專利範圍第9項所述之冠狀電容製造方法，其中該絕緣層係旋塗式玻璃(SOG)、氧化矽或硼磷矽玻璃(BPSG)。
12. 如申請專利範圍第9項所述之冠狀電容製造方法，其中該下電極層係導電摻雜之複晶矽層。



六、申請專利範圍

13. 如申請專利範圍第9項所述之冠狀電容製造方法，其中該保護層係光阻材料或絕緣材料。

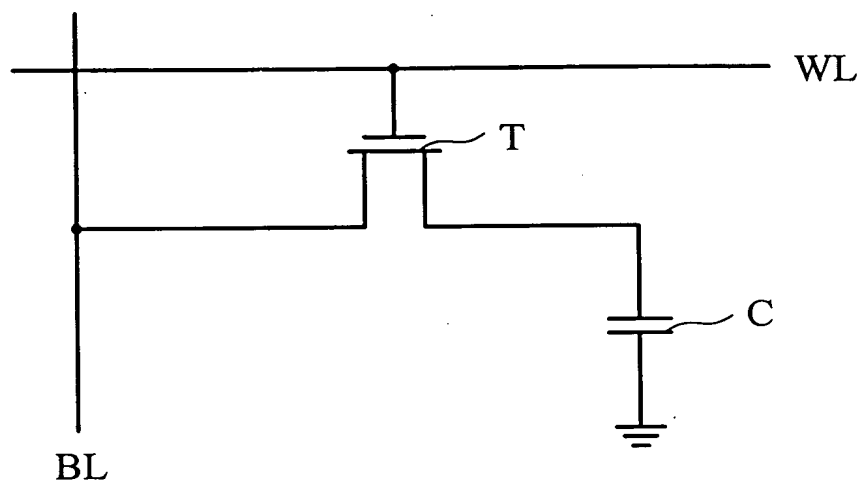
14. 如申請專利範圍第9項所述之冠狀電容製造方法，其中該平坦化製程係化學機械研磨（CMP）或離子反應蝕刻（RIE）製程。

15. 如申請專利範圍第9項所述之冠狀電容製造方法，其中該上電極層係為導電摻雜之複晶矽層。

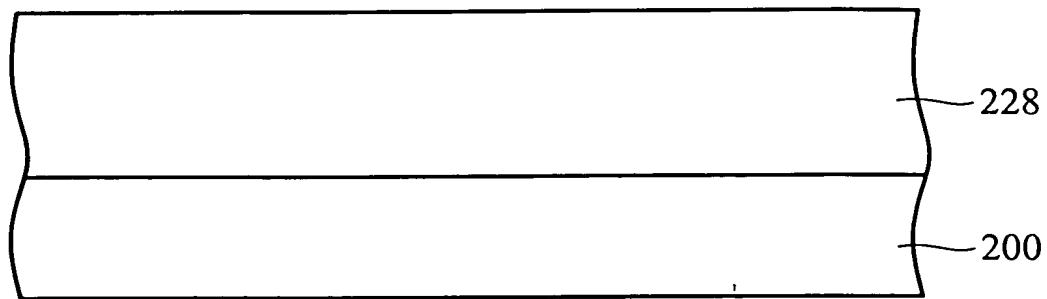
16. 如申請專利範圍第9項所述之冠狀電容製造方法，其中每一絕緣支撐部至少與兩個冠狀下電極之外部側壁連接。

17. 如申請專利範圍第9項所述之冠狀電容製造方法，其中每一絕緣支撐部至少與四個冠狀下電極之外部側壁連接。

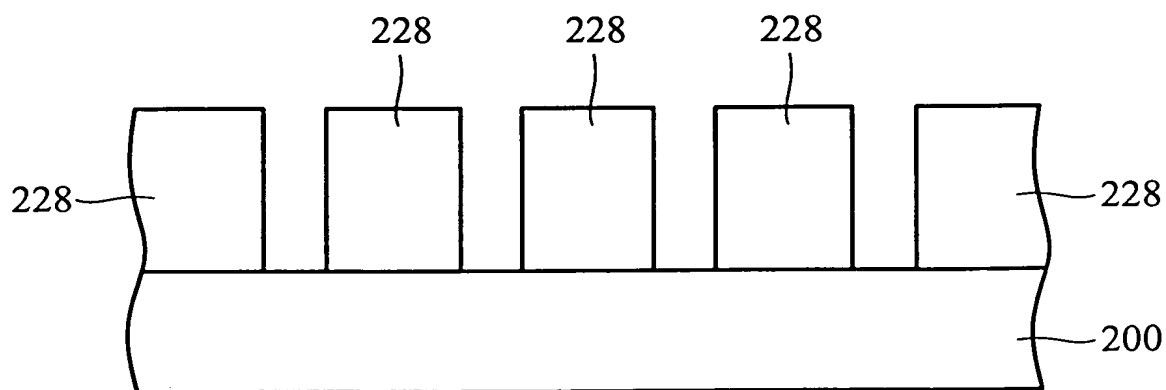




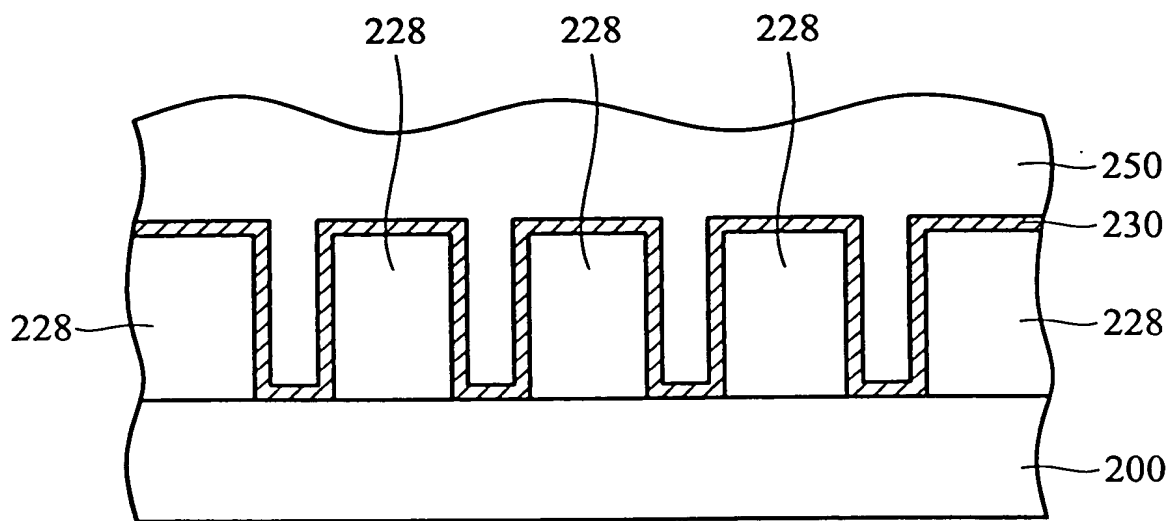
第 1 圖



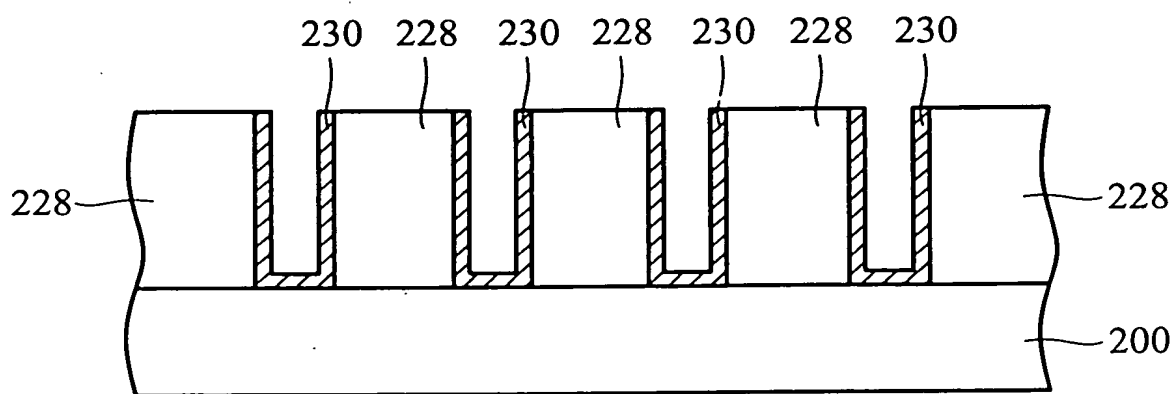
第 2A 圖



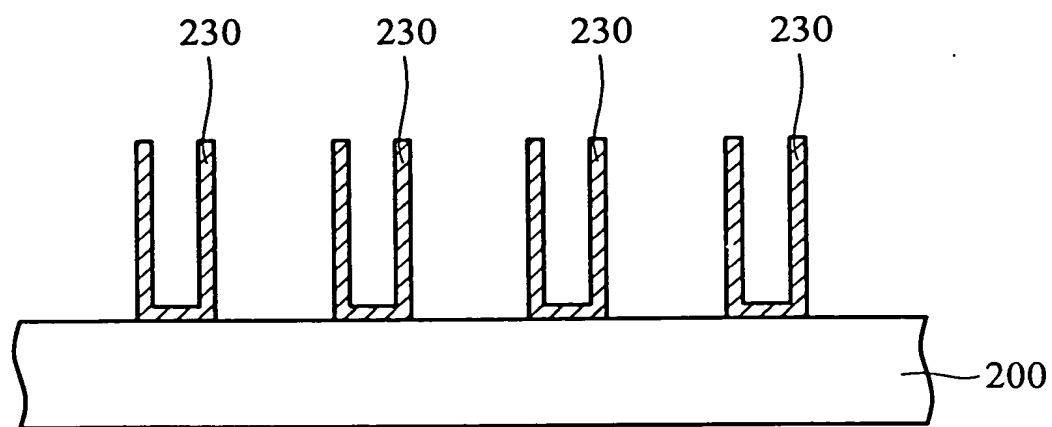
第 2B 圖



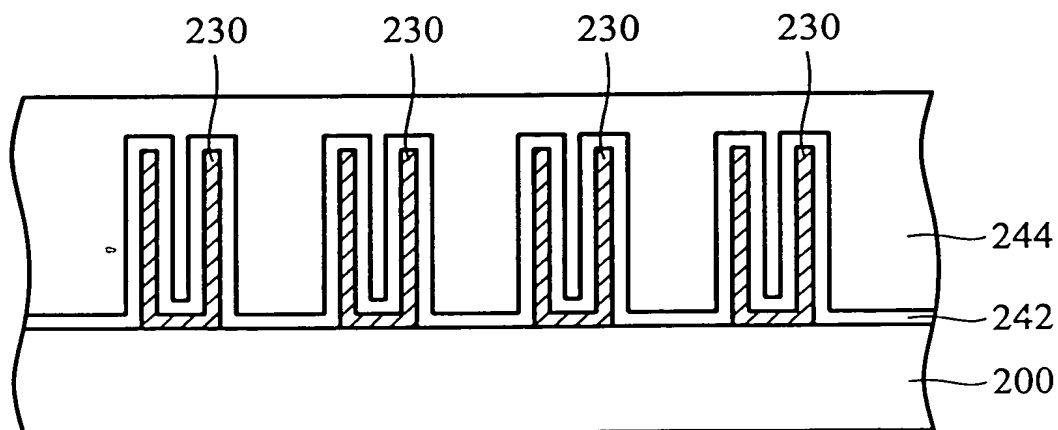
第 2C 圖



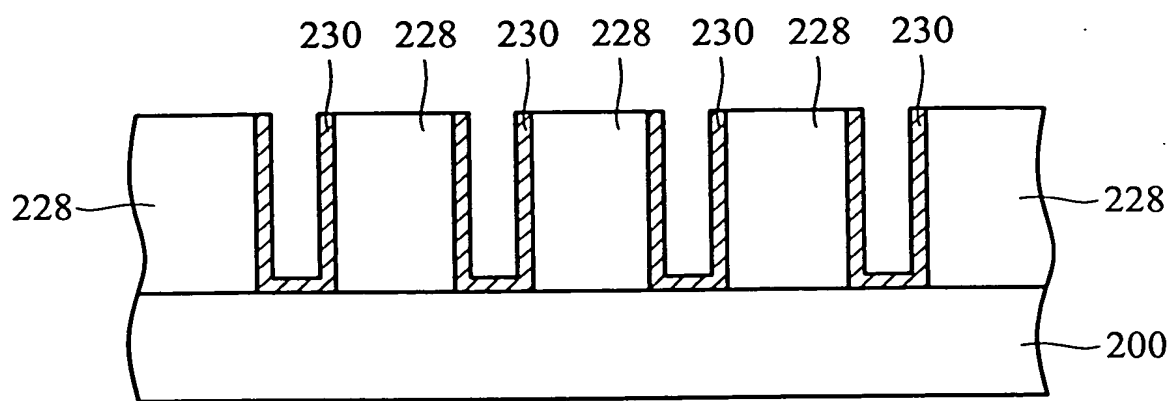
第 2D 圖



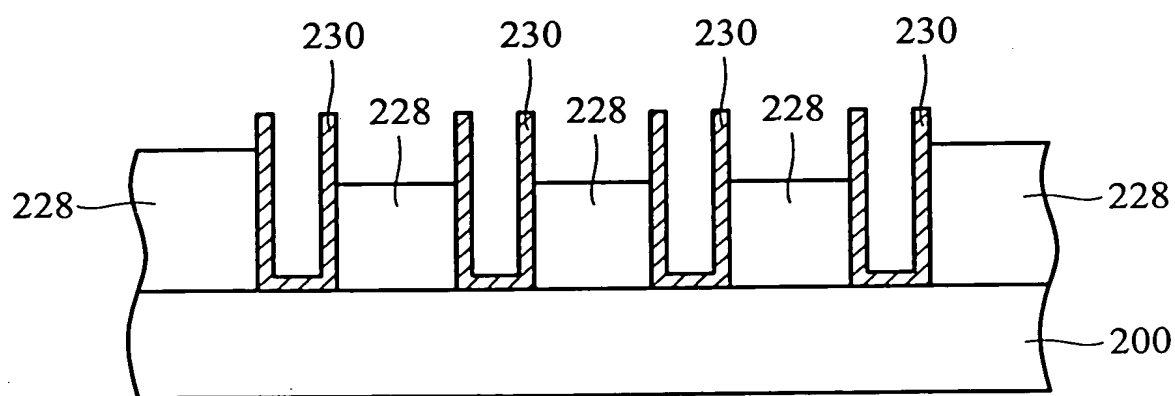
第 2E 圖



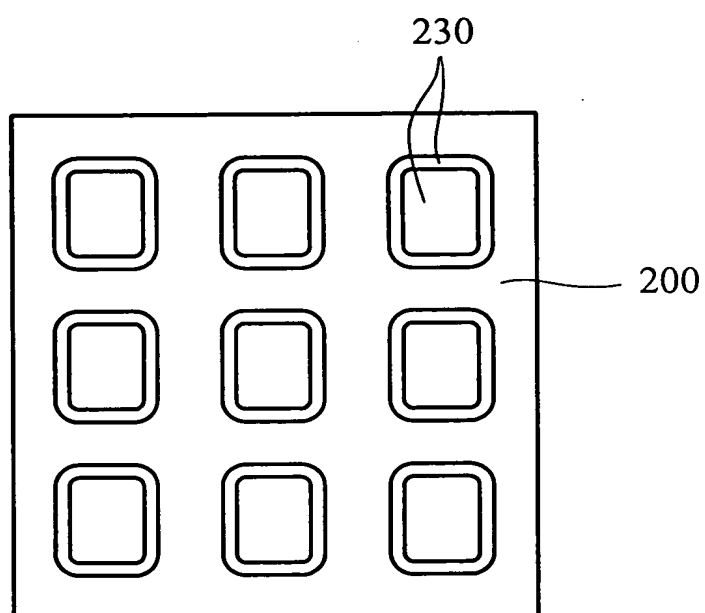
第 2F 圖



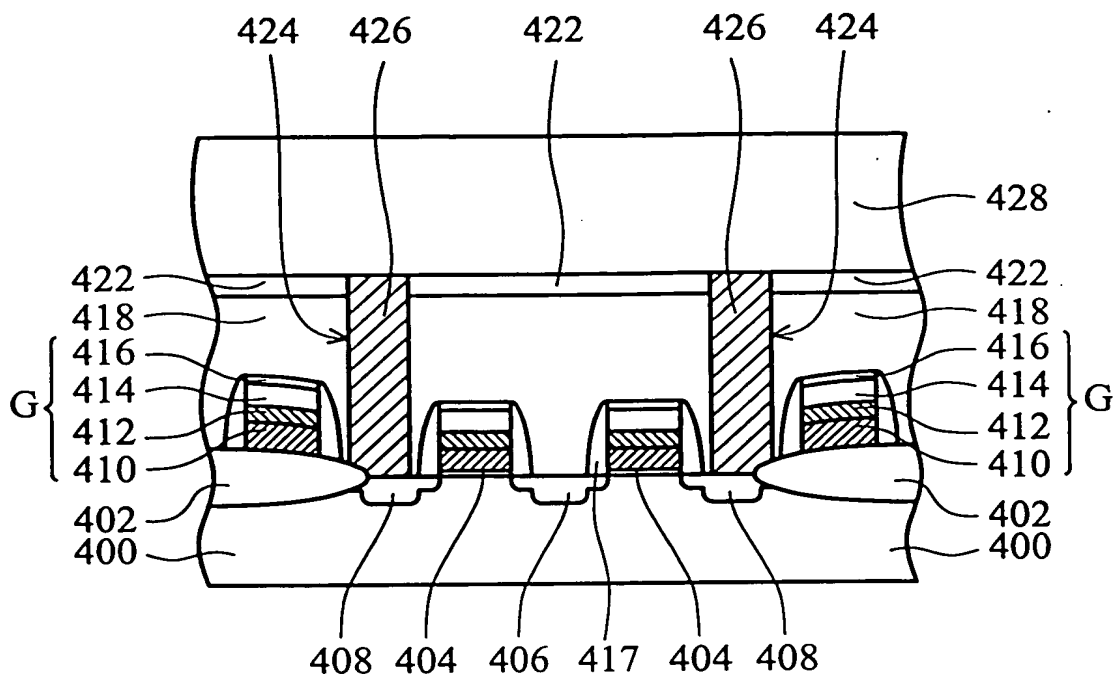
第2G圖



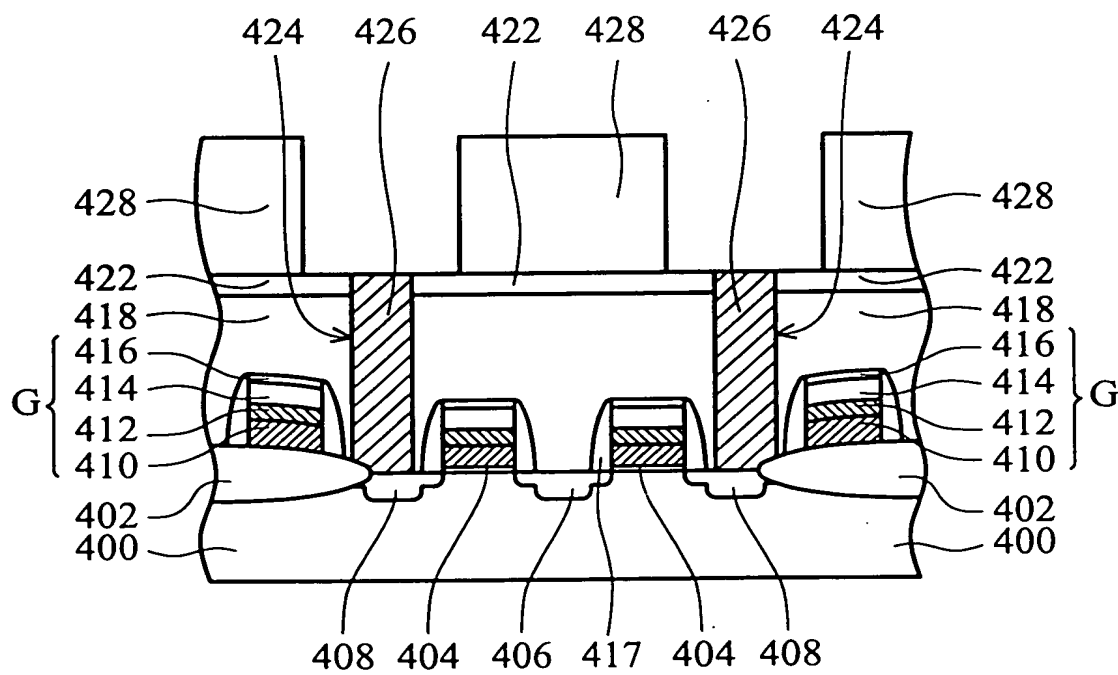
第2H圖



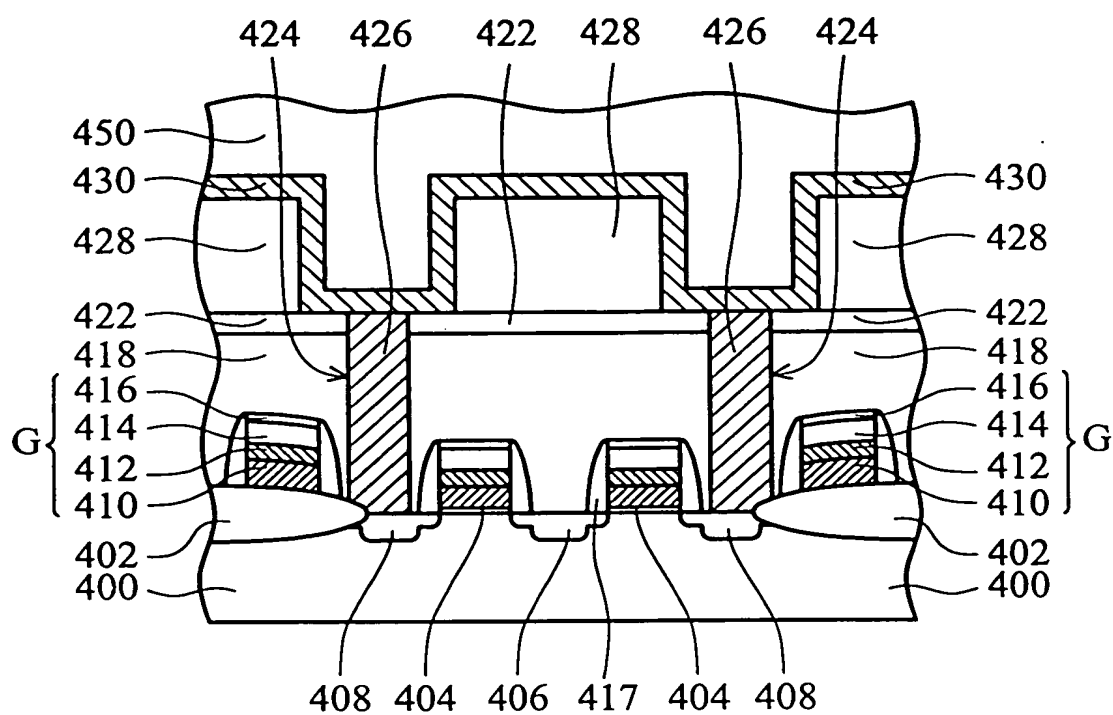
第 3 圖



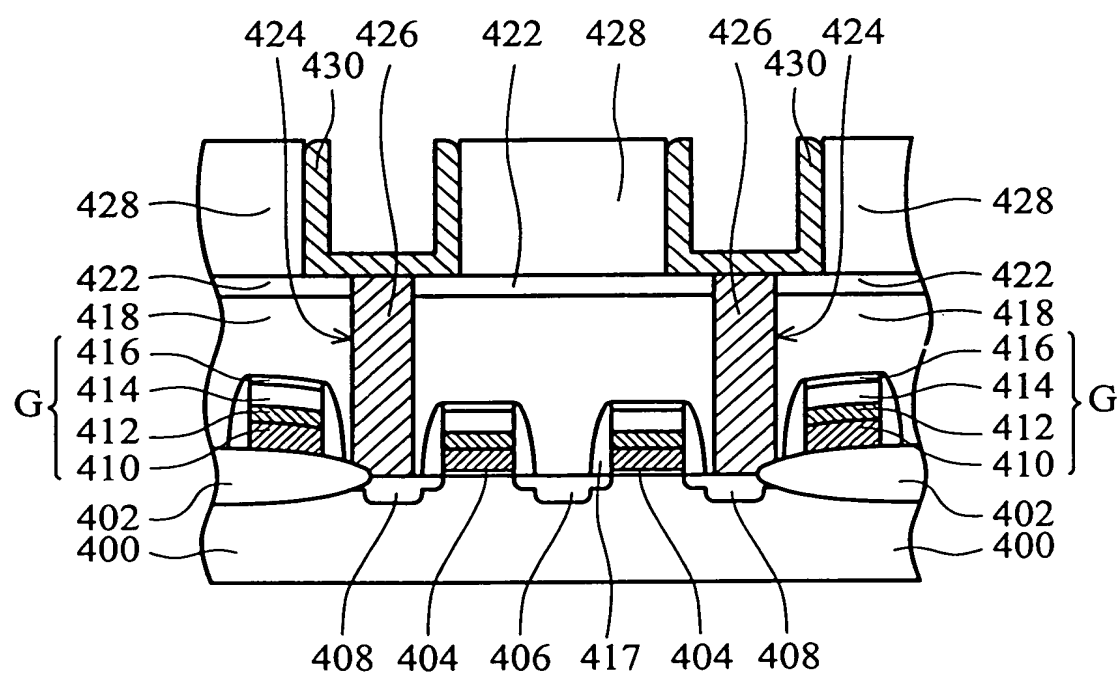
第4A圖



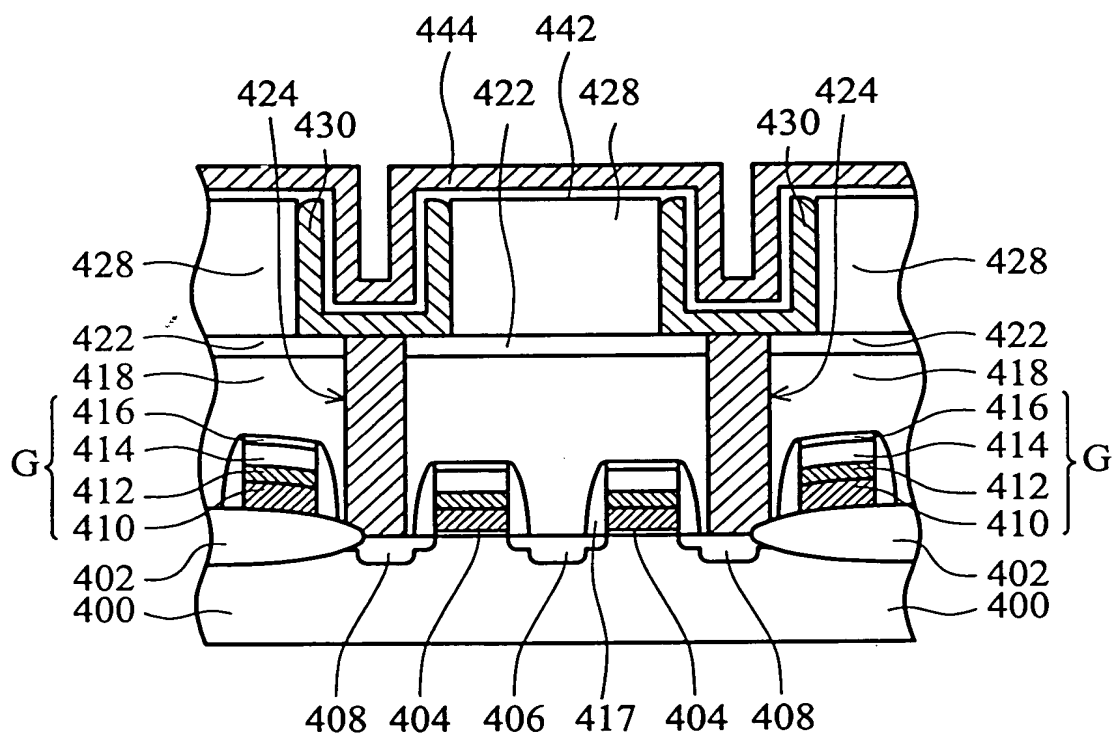
第4B圖



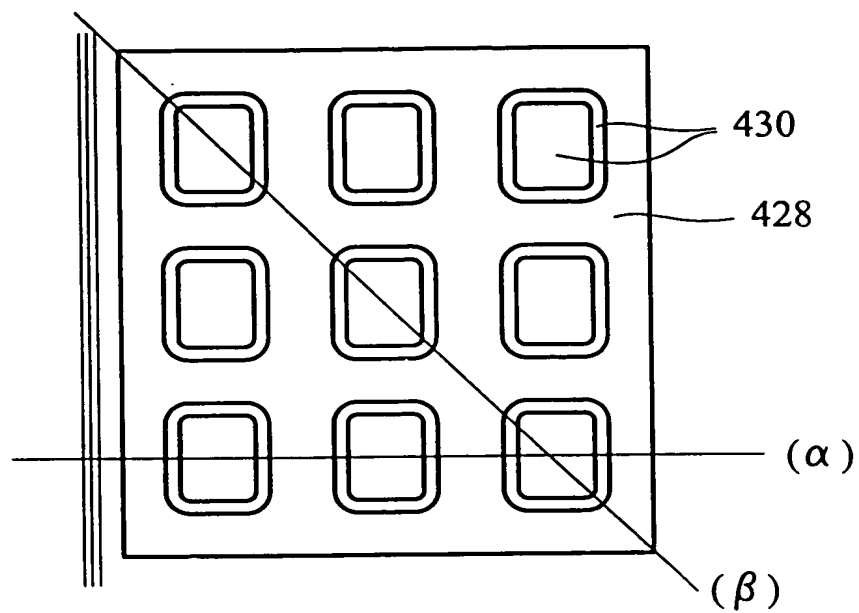
第 4C 圖



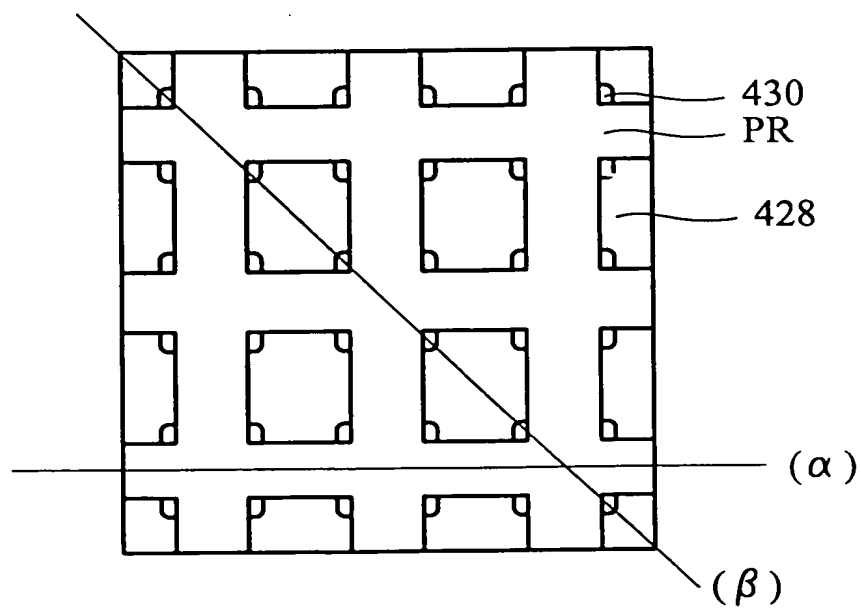
第 4D 圖



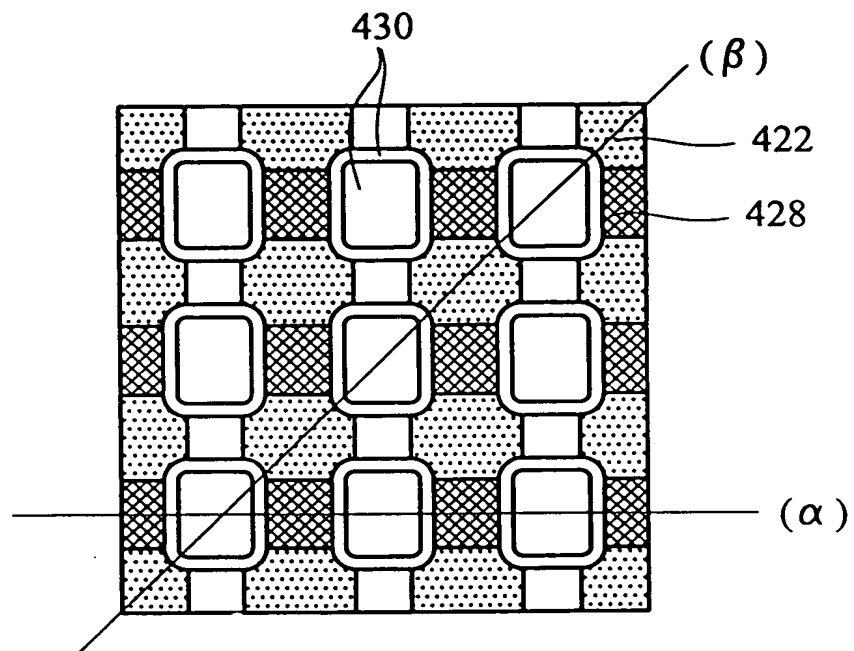
第 4F 圖



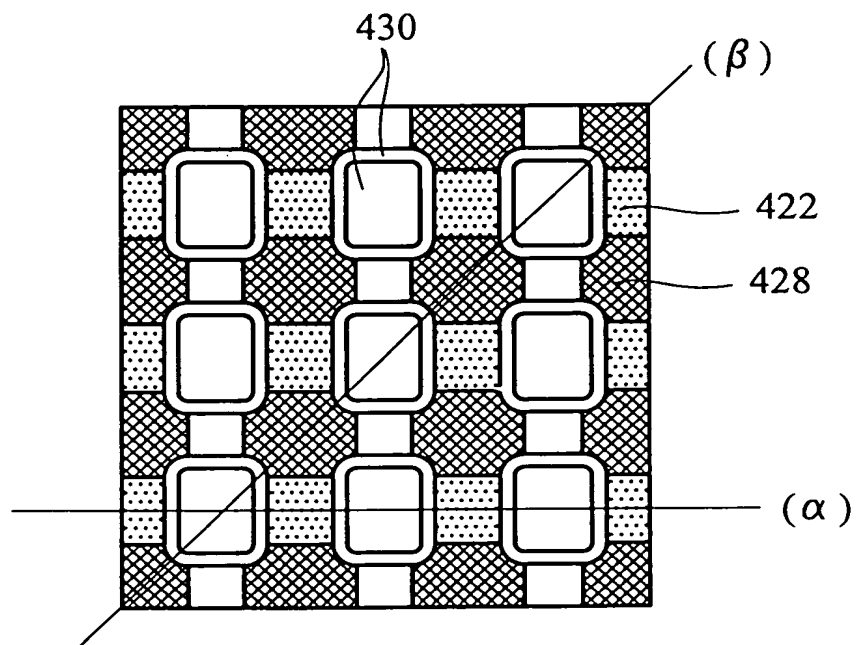
第 5 圖



第 6 圖

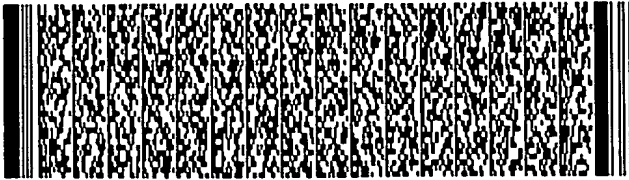


第 7 圖

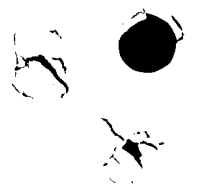


第 8 圖

第 1/17 頁



第 2/17 頁



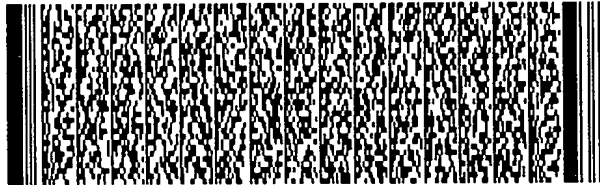
第 3/17 頁



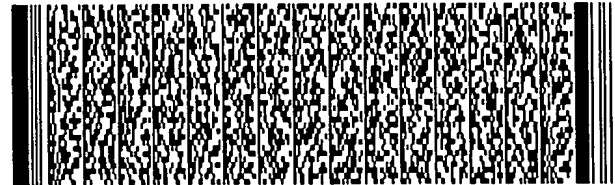
第 4/17 頁



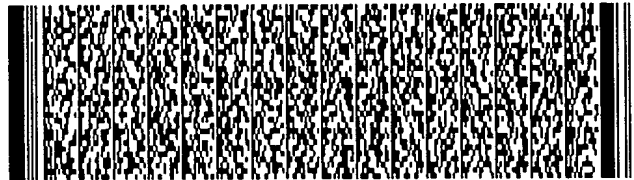
第 5/17 頁



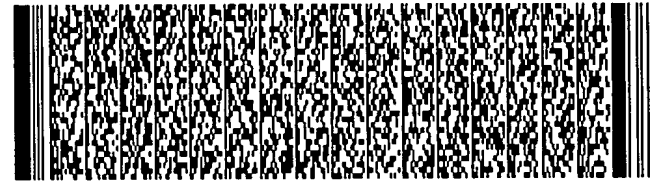
第 5/17 頁



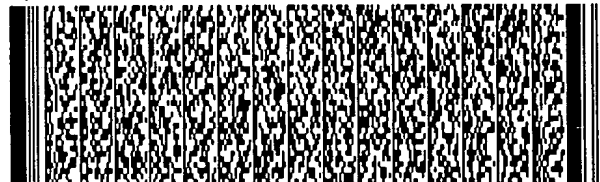
第 6/17 頁



第 6/17 頁



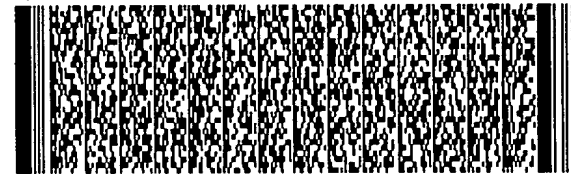
第 7/17 頁



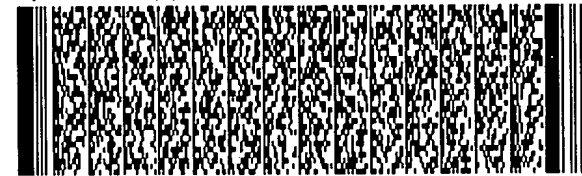
第 7/17 頁



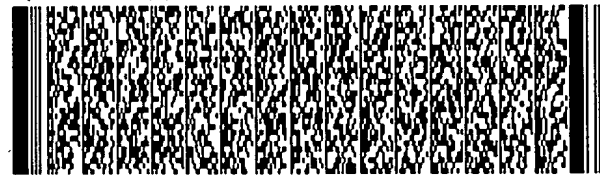
第 8/17 頁



第 8/17 頁



第 9/17 頁



第 9/17 頁



第 10/17 頁



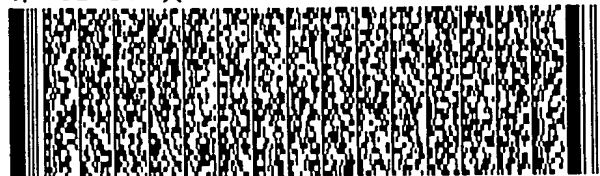
第 10/17 頁



第 11/17 頁



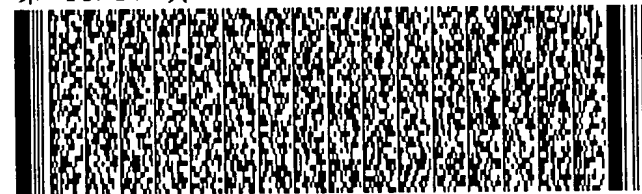
第 12/17 頁



第 13/17 頁



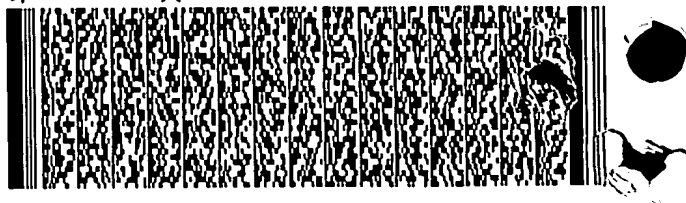
第 15/17 頁



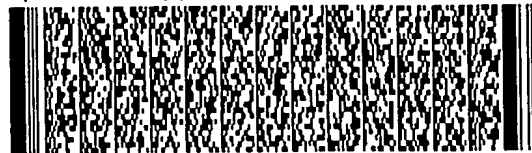
第 16/17 頁



第 11/17 頁



第 13/17 頁



第 14/17 頁



第 16/17 頁



第 17/17 頁

